

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masakatsu KITANI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: BIDIRECTIONAL SHIFT REGISTER SHIFTING PULSE IN BOTH FORWARD AND BACKWARD DIRECTIONS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

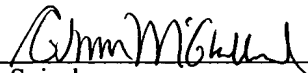
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-348831	November 29, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月 2 9 日  
Date of Application:

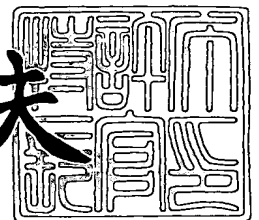
出 願 番 号                      特 願 2 0 0 2 - 3 4 8 8 3 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 4 8 8 3 1 ]

出 願 人                      東芝松下ディスプレイテクノロジー株式会社  
Applicant(s):

2 0 0 3 年 1 0 月    3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 1 9 2 6

【書類名】 特許願

【整理番号】 FKB029021

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 双方向シフトレジスタ、これを用いた駆動回路、平面表示装置

【請求項の数】 12

【発明者】

    【住所又は居所】 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

    【氏名】 木谷 正克

【発明者】

    【住所又は居所】 東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

    【氏名】 森田 哲生

【特許出願人】

    【識別番号】 302020207

    【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

    【識別番号】 100083806

    【弁理士】

    【氏名又は名称】 三好 秀和

    【電話番号】 03-3504-3075

【選任した代理人】

    【識別番号】 100068342

    【弁理士】

    【氏名又は名称】 三好 保男

## 【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

## 【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

## 【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

## 【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

## 【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

## 【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

## 【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0207036

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 双方向シフトレジスタ、これを用いた駆動回路、平面表示装置

【特許請求の範囲】

【請求項 1】 第 1 クロック端子と出力端子間の導電パスをもつ第 1 トランジスタと、電源電極と出力端子間の導電パスをもつ第 2 トランジスタを有する出力回路と、

順方向パルス入力端子と第 1 トランジスタの制御電極間の導電パスをもつ第 3 トランジスタと、逆方向パルス入力端子と第 1 トランジスタの制御電極間の導電パスをもつ第 4 トランジスタと、電源電極と第 2 トランジスタの制御電極間の導電パスをもつ第 5 トランジスタを有し、順方向パルスシフト時に第 3 トランジスタと第 1 トランジスタ間を導通させるとともに順方向パルス入力端子と第 5 トランジスタの制御電極間を導通させ、逆方向パルスシフト時に第 4 トランジスタと第 1 トランジスタ間を導通させるとともに逆方向パルス入力端子と第 5 トランジスタの制御電極間を導通させる入力回路と、

第 2 クロック端子と第 2 トランジスタの制御電極間の導電パスをもつ第 6 トランジスタと、第 3 クロック端子と第 2 トランジスタの制御電極間の導電パスをもつ第 7 トランジスタと、電源電極と第 1 トランジスタの制御電極間の導電パスをもつ第 8 トランジスタを有し、順方向パルスシフト時に第 6 トランジスタと第 2 トランジスタの制御電極および第 8 トランジスタの制御電極との間を導通させ、逆方向パルスシフト時に第 7 トランジスタと第 2 トランジスタの制御電極および第 8 トランジスタの制御電極との間を導通させるリセット回路と、

第 1 トランジスタがオンで第 2 トランジスタがオフの状態第 1 クロック端子に入力されるクロック信号の電圧レベルが反転する場合に、第 2 トランジスタの制御電極における電圧レベルが反転することを防止する反転防止回路と、

を有することを特徴とする双方向シフトレジスタ。

【請求項 2】 前記入力回路は、第 3 トランジスタと第 1 トランジスタの制御電極間の導電パスをもつ第 11 トランジスタと、

第 4 トランジスタと第 1 トランジスタ間の導電パスをもつ第 12 トランジスタと、

順方向パルス入力端子と第5トランジスタ間の導電パスをもつ第13トランジスタと、

逆方向パルス入力端子と第5トランジスタ間の導電パスをもつ第14トランジスタとを有し、

順方向パルスシフト時に第11トランジスタおよび第13トランジスタをオンさせ、逆方向パルスシフト時に第12トランジスタおよび第14トランジスタをオンさせることを特徴とする請求項1記載の双方向シフトレジスタ。

【請求項3】 前記リセット回路は、第6トランジスタと第2トランジスタおよび第8トランジスタとの間の導電パスをもつ第15トランジスタと、

第7トランジスタと第2トランジスタおよび第8トランジスタとの間の導電パスをもつ第16トランジスタとを有し、

順方向パルスシフト時に第15トランジスタをオンさせ、逆方向パルスシフト時に第16トランジスタをオンさせることを特徴とする請求項1又は2記載の双方向シフトレジスタ。

【請求項4】 前記反転防止回路は、電源電極と第2トランジスタの制御電極間の導電パスと第1トランジスタの制御電極への導電パスをもつ第9トランジスタと、

第9トランジスタと第2トランジスタ間の導電パスと第1クロック端子への導電パスをもつ第10トランジスタと、

を有することを特徴とする請求項1乃至3のいずれかに記載の双方向シフトレジスタ。

【請求項5】 各双方向シフトレジスタが、第1クロック端子と出力端子間の導電パスをもつ第1トランジスタと、電源電極と出力端子間の導電パスをもつ第2トランジスタを有する出力回路と、

順方向パルス入力端子と第1トランジスタの制御電極間の導電パスをもつ第3トランジスタと、逆方向パルス入力端子と第1トランジスタの制御電極間の導電パスをもつ第4トランジスタと、電源電極と第2トランジスタの制御電極間の導電パスをもつ第5トランジスタを有し、順方向パルスシフト時に第3トランジスタと第1トランジスタ間を導通させるとともに順方向パルス入力端子と第5トラン

ンジスタの制御電極間を導通させ、逆方向パルスシフト時に第4トランジスタと第1トランジスタ間を導通させるとともに逆方向パルス入力端子と第5トランジスタの制御電極間を導通させる入力回路と、

第2クロック端子と第2トランジスタの制御電極間の導電パスをもつ第6トランジスタと、第3クロック端子と第2トランジスタの制御電極間の導電パスをもつ第7トランジスタと、電源電極と第1トランジスタの制御電極間の導電パスをもつ第8トランジスタを有し、順方向パルスシフト時に第6トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極との間を導通させ、逆方向パルスシフト時に第7トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極との間を導通させるリセット回路と、

第1トランジスタがオンで第2トランジスタがオフの状態第1クロック端子に入力されるクロック信号の電圧レベルが反転する場合に、第2トランジスタの制御電極における電圧レベルが反転することを防止する反転防止回路と、をそれぞれ有し、

各双方向シフトレジスタの出力端子からの出力信号が、前段の双方向シフトレジスタの逆方向パルス入力端子に入力されるとともに後段の双方向シフトレジスタの順方向パルス入力端子に入力されるように縦列接続された複数の双方向シフトレジスタを有することを特徴とする駆動回路。

【請求項6】 前記入力回路は、第3トランジスタと第1トランジスタの制御電極間の導電パスをもつ第11トランジスタと、

第4トランジスタと第1トランジスタ間の導電パスをもつ第12トランジスタと、

順方向パルス入力端子と第5トランジスタ間の導電パスをもつ第13トランジスタと、

逆方向パルス入力端子と第5トランジスタ間の導電パスをもつ第14トランジスタとを有し、

順方向パルスシフト時に第11トランジスタおよび第13トランジスタをオンさせ、逆方向パルスシフト時に第12トランジスタおよび第14トランジスタをオンさせることを特徴とする請求項5記載の駆動回路。



【請求項 7】 前記リセット回路は、第 6 トランジスタと第 2 トランジスタおよび第 8 トランジスタとの間の導電パスをもつ第 15 トランジスタと、

第 7 トランジスタと第 2 トランジスタおよび第 8 トランジスタとの間の導電パスをもつ第 16 トランジスタとを有し、

順方向パルスシフト時に第 15 トランジスタをオンさせ、逆方向パルスシフト時に第 16 トランジスタをオンさせることを特徴とする請求項 5 又は 6 記載の駆動回路。

【請求項 8】 前記反転防止回路は、電源電極と第 2 トランジスタの制御電極間の導電パスと第 1 トランジスタの制御電極への導電パスをもつ第 9 トランジスタと、

第 9 トランジスタと第 2 トランジスタ間の導電パスと第 1 クロック端子への導電パスをもつ第 10 トランジスタと、

を有することを特徴とする請求項 5 乃至 7 のいずれかに記載の駆動回路。

【請求項 9】 各双方向シフトレジスタが、第 1 クロック端子と出力端子間の導電パスをもつ第 1 トランジスタと、電源電極と出力端子間の導電パスをもつ第 2 トランジスタを有する出力回路と、

順方向パルス入力端子と第 1 トランジスタの制御電極間の導電パスをもつ第 3 トランジスタと、逆方向パルス入力端子と第 1 トランジスタの制御電極間の導電パスをもつ第 4 トランジスタと、電源電極と第 2 トランジスタの制御電極間の導電パスをもつ第 5 トランジスタを有し、順方向パルスシフト時に第 3 トランジスタと第 1 トランジスタ間を導通させるとともに順方向パルス入力端子と第 5 トランジスタの制御電極間を導通させ、逆方向パルスシフト時に第 4 トランジスタと第 1 トランジスタ間を導通させるとともに逆方向パルス入力端子と第 5 トランジスタの制御電極間を導通させる入力回路と、

第 2 クロック端子と第 2 トランジスタの制御電極間の導電パスをもつ第 6 トランジスタと、第 3 クロック端子と第 2 トランジスタの制御電極間の導電パスをもつ第 7 トランジスタと、電源電極と第 1 トランジスタの制御電極間の導電パスをもつ第 8 トランジスタを有し、順方向パルスシフト時に第 6 トランジスタと第 2 トランジスタの制御電極および第 8 トランジスタの制御電極との間を導通させ、

逆方向パルスシフト時に第7トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極との間を導通させるリセット回路と、

第1トランジスタがオンで第2トランジスタがオフの状態第1クロック端子に入力されるクロック信号の電圧レベルが反転する場合に、第2トランジスタの制御電極における電圧レベルが反転することを防止する反転防止回路と、をそれぞれ有し、

各双方向シフトレジスタの出力端子からの出力信号が、前段の双方向シフトレジスタの逆方向パルス入力端子に入力されるとともに後段の双方向シフトレジスタの順方向パルス入力端子に入力されるように縦列接続された複数の双方向シフトレジスタを走査線駆動回路又は信号線駆動回路のうちの少なくとも一方に備え、

走査線駆動回路と、信号線駆動回路と、走査線駆動回路からの複数の走査線と信号線駆動回路からの複数の信号線との各交差部に設けられたスイッチング素子と、各スイッチング素子に設けられた画素電極を備えたアレイ基板と、

前記アレイ基板に対向して配置され、前記各画素電極に電氣的に相対する対向電極が設けられた対向基板と、

前記アレイ基板と前記対向基板との間に保持された表示層と、  
を有することを特徴とする平面表示装置。

【請求項10】 前記入力回路は、第3トランジスタと第1トランジスタの制御電極間の導電パスをもつ第11トランジスタと、

第4トランジスタと第1トランジスタ間の導電パスをもつ第12トランジスタと、

順方向パルス入力端子と第5トランジスタ間の導電パスをもつ第13トランジスタと、

逆方向パルス入力端子と第5トランジスタ間の導電パスをもつ第14トランジスタとを有し、

順方向パルスシフト時に第11トランジスタおよび第13トランジスタをオンさせ、逆方向パルスシフト時に第12トランジスタおよび第14トランジスタをオンさせることを特徴とする請求項9記載の平面表示装置。

【請求項 11】 前記リセット回路は、第 6 トランジスタと第 2 トランジスタおよび第 8 トランジスタとの間の導電パスをもつ第 15 トランジスタと、

第 7 トランジスタと第 2 トランジスタおよび第 8 トランジスタとの間の導電パスをもつ第 16 トランジスタとを有し、

順方向パルスシフト時に第 15 トランジスタをオンさせ、逆方向パルスシフト時に第 16 トランジスタをオンさせることを特徴とする請求項 9 又は 10 記載の平面表示装置。

【請求項 12】 前記反転防止回路は、電源電極と第 2 トランジスタの制御電極間の導電パスと第 1 トランジスタの制御電極への導電パスをもつ第 9 トランジスタと、

第 9 トランジスタと第 2 トランジスタ間の導電パスと第 1 クロック端子への導電パスをもつ第 10 トランジスタと、

を有することを特徴とする請求項 9 乃至 11 のいずれかに記載の平面表示装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、順方向パルスシフトと逆方向パルスシフトの双方が可能な双方向シフトレジスタ、これを用いた駆動回路、平面表示装置に関する。

##### 【0002】

##### 【従来の技術】

近年、液晶表示装置に代表される平面表示装置は、薄型、軽量且つ低消費電力であることから、各種機器の表示装置として用いられている。最近では、更なる薄型・軽量化や低コスト化を実現するために、従来のアモルファスシリコン薄膜トランジスタに比べ、電子移動度が高い低温ポリシリコン薄膜トランジスタを用いて駆動回路を構成し、この駆動回路をガラス製のアレイ基板上に一体的に形成する技術が確立されている。

##### 【0003】

液晶表示装置は、一般的にはアレイ基板とこれに対向して配置された対向基板

との間隙に液晶層を配置した構成である。アレイ基板には複数の走査線と複数の信号線が交差するように配線され、これら走査線と信号線の各交差部にスイッチング素子とこれに接続された画素電極が配置される。また、アレイ基板には駆動回路として、信号線を駆動する信号線駆動回路、走査線を駆動する走査線駆動回路が配置される。信号線駆動回路は、各信号線に対してパルスの位相をシフトさせて出力する水平シフトレジスタを備え、走査線駆動回路は、各走査線に対してパルスの位相をシフトさせて出力する垂直シフトレジスタを備える。対向基板には画素電極と電氣的に相対する対向電極が配置される。

#### 【0004】

水平シフトレジスタおよび垂直シフトレジスタには、一般的には3位相シフトレジスタが用いられる。3位相シフトレジスタは、複数の同一構成のシフトレジスタを縦列に接続し、位相の異なる3つのクロック信号を用いることによって、初段のシフトレジスタに入力されたパルスの位相を各シフトレジスタでシフトさせながら後段のシフトレジスタへ伝搬させていくものである。

#### 【0005】

##### 【発明が解決しようとする課題】

しかしながら、各シフトレジスタにおけるパルスの伝播方向を逆にする場合には、順方向パルスシフトの場合と同様の回路構成では、各シフトレジスタの出力信号が十分な電位レベルで得られないという問題があった。

#### 【0006】

このように、順方向パルスシフト時と逆方向パルスシフト時とで出力信号の電位レベルにバラツキがあることは、表示品位の劣化の要因となっていた。

#### 【0007】

本発明は、上記に鑑みてなされたものであり、その目的とするところは、順方向パルスシフト時と逆方向パルスシフト時とで出力信号の電位レベルにバラツキが生じることを防止した双方向シフトレジスタを提供することにある。

#### 【0008】

本発明の別の目的は、上記双方向シフトレジスタを用いた駆動回路、平面表示装置を提供することにある。

## 【0009】

## 【課題を解決するための手段】

第1の本発明に係る双方向シフトレジスタは、第1クロック端子と出力端子間の導電パスをもつ第1トランジスタと、電源電極と出力端子間の導電パスをもつ第2トランジスタを有する出力回路と、順方向パルス入力端子と第1トランジスタの制御電極間の導電パスをもつ第3トランジスタと、逆方向パルス入力端子と第1トランジスタの制御電極間の導電パスをもつ第4トランジスタと、電源電極と第2トランジスタの制御電極間の導電パスをもつ第5トランジスタを有し、順方向パルスシフト時に第3トランジスタと第1トランジスタ間を導通させるとともに順方向パルス入力端子と第5トランジスタの制御電極間を導通させ、逆方向パルスシフト時に第4トランジスタと第1トランジスタ間を導通させるとともに逆方向パルス入力端子と第5トランジスタの制御電極間を導通させる入力回路と、第2クロック端子と第2トランジスタの制御電極間の導電パスをもつ第6トランジスタと、第3クロック端子と第2トランジスタの制御電極間の導電パスをもつ第7トランジスタと、電源電極と第1トランジスタの制御電極間の導電パスをもつ第8トランジスタを有し、順方向パルスシフト時に第6トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極との間を導通させ、逆方向パルスシフト時に第7トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極との間を導通させるリセット回路と、第1トランジスタがオンで第2トランジスタがオフの状態第1クロック端子に入力されるクロック信号の電圧レベルが反転する場合に、第2トランジスタの制御電極における電圧レベルが反転することを防止する反転防止回路と、を有することを特徴とする。

## 【0010】

本発明にあつては、順方向パルスシフト時には、リセット回路の第6トランジスタと第2トランジスタの制御電極間を導通させ、第7トランジスタと第2トランジスタの制御電極間は導通させないことによって、第2トランジスタの制御電極への導電パスをもつ第5トランジスタ  $t r 5$  と第7トランジスタ  $t r 7$  との間に貫通電流が流れることを防止する。

## 【0011】

逆方向パルスシフト時には、リセット回路の第7トランジスタと第2トランジスタの制御電極間を導通させ、第6トランジスタと第2トランジスタの制御電極間は導通させないことによって、第5トランジスタ  $t_r 5$  と第6トランジスタと間に貫通電流が流れることを防止する。

## 【0012】

このように貫通電流を防止することによって、消費電力の増大を抑制する。

## 【0013】

また、貫通電流を防止することによって、第2トランジスタの制御電極への導電パスの電位が十分に上昇するようになるので、第8トランジスタと第2トランジスタは完全なオフ状態となる。第8トランジスタが完全なオフ状態となることによって、第1トランジスタの制御電極への導電パスには入力ローレベルが伝わり、第1トランジスタが完全なオン状態となる。このように第1トランジスタと第2トランジスタのうち、どちらか一方がオンのときには他方が完全にオフすることによって、両方同時にオンすることがないので、出力信号の電位レベルを安定させることができる。これによって、順方向パルスシフト時と逆方向パルスシフト時とで出力信号の電位レベルにバラツキが生じることを防止する。

## 【0014】

第2の本発明に係る駆動回路は、各双方向シフトレジスタが、第1クロック端子と出力端子間の導電パスをもつ第1トランジスタと、電源電極と出力端子間の導電パスをもつ第2トランジスタを有する出力回路と、順方向パルス入力端子と第1トランジスタの制御電極間の導電パスをもつ第3トランジスタと、逆方向パルス入力端子と第1トランジスタの制御電極間の導電パスをもつ第4トランジスタと、電源電極と第2トランジスタの制御電極間の導電パスをもつ第5トランジスタを有し、順方向パルスシフト時に第3トランジスタと第1トランジスタ間を導通させるとともに順方向パルス入力端子と第5トランジスタの制御電極間を導通させ、逆方向パルスシフト時に第4トランジスタと第1トランジスタ間を導通させるとともに逆方向パルス入力端子と第5トランジスタの制御電極間を導通させる入力回路と、第2クロック端子と第2トランジスタの制御電極間の導電パス

をもつ第6トランジスタと、第3クロック端子と第2トランジスタの制御電極間の導電パスをもつ第7トランジスタと、電源電極と第1トランジスタの制御電極間の導電パスをもつ第8トランジスタを有し、順方向パルスシフト時に第6トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極との間を導通させ、逆方向パルスシフト時に第7トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極との間を導通させるリセット回路と、第1トランジスタがオンで第2トランジスタがオフの状態第1クロック端子に入力されるクロック信号の電圧レベルが反転する場合に、第2トランジスタの制御電極における電圧レベルが反転することを防止する反転防止回路と、をそれぞれ有し、各双方向シフトレジスタの出力端子からの出力信号が、前段の双方向シフトレジスタの逆方向パルス入力端子に入力されるとともに後段の双方向シフトレジスタの順方向パルス入力端子に入力されるように縦列接続された複数の双方向シフトレジスタを有することを特徴とする。

#### 【0015】

第3の本発明に係る平面表示装置は、各双方向シフトレジスタが、第1クロック端子と出力端子間の導電パスをもつ第1トランジスタと、電源電極と出力端子間の導電パスをもつ第2トランジスタを有する出力回路と、順方向パルス入力端子と第1トランジスタの制御電極間の導電パスをもつ第3トランジスタと、逆方向パルス入力端子と第1トランジスタの制御電極間の導電パスをもつ第4トランジスタと、電源電極と第2トランジスタの制御電極間の導電パスをもつ第5トランジスタを有し、順方向パルスシフト時に第3トランジスタと第1トランジスタ間を導通させるとともに順方向パルス入力端子と第5トランジスタの制御電極間を導通させ、逆方向パルスシフト時に第4トランジスタと第1トランジスタ間を導通させるとともに逆方向パルス入力端子と第5トランジスタの制御電極間を導通させる入力回路と、第2クロック端子と第2トランジスタの制御電極間の導電パスをもつ第6トランジスタと、第3クロック端子と第2トランジスタの制御電極間の導電パスをもつ第7トランジスタと、電源電極と第1トランジスタの制御電極間の導電パスをもつ第8トランジスタを有し、順方向パルスシフト時に第6トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極

との間を導通させ、逆方向パルスシフト時に第7トランジスタと第2トランジスタの制御電極および第8トランジスタの制御電極との間を導通させるリセット回路と、第1トランジスタがオンで第2トランジスタがオフの状態第1クロック端子に入力されるクロック信号の電圧レベルが反転する場合に、第2トランジスタの制御電極における電圧レベルが反転することを防止する反転防止回路と、をそれぞれ有し、各双方向シフトレジスタの出力端子からの出力信号が、前段の双方向シフトレジスタの逆方向パルス入力端子に入力されるとともに後段の双方向シフトレジスタの順方向パルス入力端子に入力されるように縦列接続された複数の双方向シフトレジスタを走査線駆動回路又は信号線駆動回路のうちの少なくとも一方に備え、走査線駆動回路と、信号線駆動回路と、走査線駆動回路からの複数の走査線と信号線駆動回路からの複数の信号線との各交差部に設けられたスイッチング素子と、各スイッチング素子に設けられた画素電極を備えたアレイ基板と、前記アレイ基板に対向して配置され、前記各画素電極に電氣的に相対する対向電極が設けられた対向基板と、前記アレイ基板と前記対向基板との間に保持された表示層と、を有することを特徴とする。

#### 【0016】

##### 【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて説明する。

#### 【0017】

図1の回路図に示すように、本実施の形態における平面表示装置は、アレイ基板1上に走査線駆動回路2からの複数の走査線G1, G2, ~Gn（以下「G」と総称する）と信号線駆動回路3からの複数の信号線S1, S2, ~Sm（以下「S」と総称する）が互いに交差するように配線され、これら各走査線Gと各信号線Sとの各交差部にスイッチング素子10および画素電極11が配置された構成である。スイッチング素子10には、例えばポリシリコン薄膜トランジスタ（P-SiTFT）が用いられる。各スイッチング素子10の制御電極は走査線Gに接続され、ソースは画素電極11および補助容量Csに接続され、ドレインは信号線Sに接続される。走査線駆動回路2および信号線駆動回路3は、スイッチング素子10と同一の製造プロセスによりアレイ基板1に一体的に形成される。



**【0018】**

製造工程を短縮し低コスト化を実現するためには、アレイ基板1の走査線駆動回路2および信号線駆動回路3に用いられるトランジスタ、スイッチング素子10を全てPMOSトランジスタ又はNMOSトランジスタだけで構成することが望ましい。本実施の形態では、PMOSトランジスタのみを用いるものとする。

**【0019】**

走査線駆動回路2は、垂直シフトレジスタ4とレベルシフタ5と図示しないバッファ回路を備える。外部から入力された垂直スタートパルスSTVは、レベルシフタ5により昇圧される。垂直シフトレジスタ4は、垂直クロック信号CKVに同期した垂直スタートパルスSTVの位相を各走査線Gに対して1段ずつシフトさせた垂直走査パルスを出力する。バッファ回路は、垂直シフトレジスタ4の各出力端子から出力された垂直走査パルスの電圧と電流を増幅して走査線Gに出力する。

**【0020】**

信号線駆動回路3は、各信号線Sにそれぞれ接続されたアナログスイッチSW1, SW2, ~SWm（以下「SW」と総称する）と、各アナログスイッチSWに接続された映像信号バス20と、各アナログスイッチSWに対して位相をシフトさせたパルスを出力する水平シフトレジスタ6と、図示しないレベルシフタを備える。外部から入力された水平スタートパルスSTHはレベルシフタで昇圧される。水平シフトレジスタ6は、水平クロック信号CLHに同期した水平スタートパルスSTHの位相を各信号線Sに対して1段ずつシフトさせた水平走査パルスを各アナログスイッチSWに出力する。アナログスイッチSWは、映像信号バス20に供給されてきた映像信号（DATA）を水平走査パルスのタイミングに従ってサンプリングし、対応する信号線Sに出力する。

**【0021】**

図2の断面図に示すように、アレイ基板1とこれに対向して配置された対向基板16がシール材17により封止され、両基板の間隙に表示層として液晶層15が保持される。対向基板16の液晶層15に接する側の表面には対向電極14が形成される。

**【0022】**

図3に示す3位相双方向シフトレジスタは、走査線駆動回路2の垂直シフトレジスタ4又は信号線駆動回路3の水平シフトレジスタ6のうちの少なくとも一方に用いられる。ここでは、垂直シフトレジスタ4に用いた場合について説明する。

**【0023】**

この3位相双方向シフトレジスタは、複数の双方向シフトレジスタDSR1, DSR2, ~DSRn（以下「DSR」と総称する）を有する構成である。双方向シフトレジスタDSR1, DSR2, ~DSRnは、それぞれ第1ステージ、第2ステージ、~第nステージに対応する。各双方向シフトレジスタDSRは、第1クロック端子C1、第2クロック端子C2、第3クロック端子C3、順方向パルス入力端子INP、逆方向パルス入力端子INN、出力端子OUT、順方向制御端子D1、逆方向制御端子D2を備える。

**【0024】**

各双方向シフトレジスタDSRは、それぞれの出力端子OUTからの出力信号が、前段の双方向シフトレジスタの逆方向パルス入力端子INNに入力されるとともに、後段の双方向シフトレジスタの順方向パルス入力端子INPに入力されるように縦列に接続される。各双方向シフトレジスタDSRの第1クロック端子C1、第2クロック端子C2、第3クロック端子C3には、位相の異なる3つのクロック信号CLK1、CLK2、CLK3のうちのいずれかがそれぞれ入力される。順方向制御端子D1には、パルスのシフト方向を制御するシフト方向制御信号Pが入力され、逆方向制御端子D2にはシフト方向制御信号Nが入力される。各双方向シフトレジスタDSRの出力端子OUTは走査線Gに接続される。順方向パルスシフト動作と逆方向パルスシフト動作は、シフト方向制御信号Pおよびシフト方向制御信号Nの電位によって切り替え制御される。

**【0025】**

順方向パルスシフト時には、スタートパルスSTPが双方向シフトレジスタDSR1からDSRnの方向へ伝播していく。すなわち、双方向シフトレジスタDSR1の順方向パルス入力端子INPにスタートパルスSTPが入力され

、第2～第 $n$ ステージの双方向シフトレジスタDSRの順方向パルス入力端子INPに前段の双方向シフトレジスタの出力端子OUTから出力された信号が入力されていく。

#### 【0026】

逆方向パルスシフト時においては、スタートパルスSTPが双方向シフトレジスタDSR $n$ からDSR1の方向へ伝播していく。すなわち、双方向シフトレジスタDSR $n$ の逆方向パルス入力端子INNにスタートパルスSTPが入力され、第 $n-1$ ～第1ステージの双方向シフトレジスタDSRの逆方向パルス入力端子INNに前段の双方向シフトレジスタの出力端子OUTから出力された信号が入力されていく。

#### 【0027】

図4の回路図に示すように、双方向シフトレジスタDSRは、複数のトランジスタによって構成され、出力回路、入力回路、リセット回路、反転防止回路を有する構成である。一例として、トランジスタは全てPMOSトランジスタとする。

#### 【0028】

出力回路は、第1クロック端子C1と出力端子OUT間の導電パスをもつ第1トランジスタ $t_{r1}$ と、電源電圧VDDが供給される電源電極と出力端子OUT間の導電パスをもつ第2トランジスタ $t_{r2}$ を有する構成である。具体的には、第1トランジスタ $t_{r1}$ のドレインが第1クロック端子C1に電氣的に接続され、ソースが出力端子OUTに接続される。第2トランジスタ $t_{r2}$ のソースが電源電極に接続され、ドレインが出力端子OUTに接続される。なお、“導電パスを有する”とは、2つの要素が物理的に接続されているか否かに関わらず、電氣的に接続されることをいうものとする。出力回路は、第1トランジスタ $t_{r1}$ がオンで第2トランジスタ $t_{r2}$ がオフのときは、第1クロック端子に入力されてきたクロック信号を出力端子OUTへ出力し、第1トランジスタ $t_{r1}$ がオフで第2トランジスタ $t_{r2}$ がオンのときは、電源電圧VDDを出力端子OUTへ出力する。

#### 【0029】

入力回路は、順方向パルス入力端子  $INP$  と第 1 トランジスタ  $t_{r1}$  の制御電極間の導電パスをもつ第 3 トランジスタ  $t_{r3}$  と、逆方向パルス入力端子  $INN$  と第 1 トランジスタ  $t_{r1}$  の制御電極間の導電パスをもつ第 4 トランジスタ  $t_{r4}$  と、電源電圧  $VDD$  が供給される電源電極と第 2 トランジスタ  $t_{r2}$  の制御電極間の導電パスをもつ第 5 トランジスタ  $t_{r5}$  を有し、さらに第 3 トランジスタ  $t_{r3}$  と第 1 トランジスタ  $t_{r1}$  間の導電パスをもつ第 11 トランジスタ  $t_{r11}$  と、第 4 トランジスタ  $t_{r4}$  と第 1 トランジスタ  $t_{r1}$  間の導電パスをもつ第 12 トランジスタ  $t_{r12}$  と、順方向パルス入力端子  $INP$  と第 5 トランジスタ  $t_{r5}$  間の導電パスをもつ第 13 トランジスタ  $t_{r13}$  と、逆方向パルス入力端子  $INN$  と第 5 トランジスタ  $t_{r5}$  間の導電パスをもつ第 14 トランジスタ  $t_{r14}$  を有する構成である。

#### 【0030】

具体的には、第 3 トランジスタ  $t_{r3}$  のドレインおよび制御電極（ゲート）が順方向パルス入力端子  $INP$  に接続され、ソースが第 11 トランジスタ  $t_{r11}$  のドレインに接続される。第 11 トランジスタ  $t_{r11}$  の制御電極にはシフト方向制御信号  $P$  が入力され、ソースは第 17 トランジスタ  $t_{r17}$  を介して第 1 トランジスタ  $t_{r1}$  の制御電極に接続される。また、第 4 トランジスタ  $t_{r4}$  のドレインおよび制御電極は逆方向パルス入力端子  $INN$  に接続され、ソースは第 12 トランジスタ  $t_{r12}$  のドレインに接続される。第 12 トランジスタ  $t_{r12}$  の制御電極にはシフト方向制御信号  $N$  が入力され、ソースは第 17 トランジスタ  $t_{r17}$  を介して第 1 トランジスタ  $t_{r1}$  の制御電極に接続される。

#### 【0031】

なお、第 17 トランジスタ  $t_{r17}$  によって、ノード  $n3$  の電位が  $VSS$  以下になることがないようにしている。第 17 トランジスタ  $t_{r17}$  は、ノード  $n1$  の電位が第 1 クロック端子  $C1$  に入力されるクロック信号の影響を受けて電位  $VSS$  以下に引き下げられたときに、オフ状態となり、第 8 トランジスタ  $t_{r8}$  のドレイン・ソース間、および第 9 トランジスタ  $t_{r9}$  のゲート・ソース間、ゲート・ドレイン間に  $VDD$  と  $VSS$  の電位差以上の余剰電圧がかかることを防止し、トランジスタの信頼性を高める役割をしている。

**【0032】**

また、第5トランジスタ  $t r 5$  のソースは電源電圧  $VDD$  が供給される電圧電極に接続され、ドレインは第2トランジスタ  $t r 2$  の制御電極に接続される。第13トランジスタ  $t r 13$  のソースが第5トランジスタ  $t r 5$  の制御電極に接続され、ドレインは順方向パルス入力端子  $INP$  に接続される。第13トランジスタ  $t r 13$  の制御電極にはシフト方向制御信号  $P$  が入力される。第14トランジスタ  $t r 14$  のソースは第5トランジスタ  $t r 5$  の制御電極に接続され、ドレインは逆方向パルス入力端子  $INN$  に接続される。第14トランジスタ  $t r 14$  の制御電極にはシフト方向制御信号  $N$  が入力される。

**【0033】**

入力回路は、順方向パルスシフト時には、順方向パルス入力端子  $INP$  から入力信号を受け、シフト方向制御信号  $P$  および  $N$  に従って第11トランジスタをオンさせ第12トランジスタ  $t r 12$  をオフさせることによって第3トランジスタ  $t r 3$  と第1トランジスタ  $t r 1$  間を導通させるとともに、第13トランジスタ  $t r 13$  をオンさせ第14トランジスタ  $t r 14$  をオフさせることによって順方向パルス入力端子  $INP$  と第5トランジスタ  $t r 5$  の制御電極間を導通させる。また、逆方向パルスシフト時には、逆方向パルス入力端子  $INN$  から入力信号を受け、シフト方向制御信号  $P$  および  $N$  に従って第12トランジスタをオンさせ第11トランジスタ  $t r 11$  をオフさせることによって第4トランジスタ  $t r 4$  と第1トランジスタ  $t r 1$  間を導通させるとともに、第14トランジスタをオンさせ第13トランジスタ  $t r 13$  をオフさせることによって逆方向パルス入力端子  $INN$  と第5トランジスタ  $t r 5$  の制御電極間を導通させる。

**【0034】**

本入力回路では、第3トランジスタ  $t r 3$  と第11トランジスタ  $t r 11$  の接続順および第4トランジスタ  $t r 4$  と第12トランジスタ  $t r 12$  の接続順を図4のようにすることにより、第1トランジスタ  $t r 1$  の制御電極に十分に低いローレベルの電位が供給されるようにして、第1トランジスタ  $t r 1$  を確実にオンさせるようにしている。

**【0035】**

すなわち、第3トランジスタ  $t r 3$  のドレイン及び制御電極にローレベルの入力信号が入力された場合、第3トランジスタ  $t r 3$  のソース電位は入力信号のローレベルに対して第3トランジスタ  $t r 3$  の閾値電圧の分だけ高い電位となるが、第11トランジスタ  $t r 11$  による電位の底上げはなく、十分に低いローレベルの信号が第1トランジスタ  $t r 1$  の制御電極に入力して第1トランジスタ  $t r 1$  をオンさせるようになっている。仮に、第3トランジスタ  $t r 3$  と第11トランジスタ  $t r 11$  の接続順を逆にした場合には、第1トランジスタ  $t r 1$  の制御電極に伝えられる電位は、ローレベルの入力信号の電位に対してトランジスタ2個分の閾値電圧の分だけ高くなり、第1トランジスタ  $t r 1$  のオン抵抗が高くなり、十分な出力レベルが得られない可能性がある。第4トランジスタ  $t r 4$  と第12トランジスタ  $t r 12$  の接続順についても同様である。

#### 【0036】

リセット回路は、第2クロック端子  $C 2$  と第2トランジスタ  $t r 2$  の制御電極間の導電パスをもつ第6トランジスタ  $t r 6$  と、第3クロック端子  $C 3$  と第2トランジスタ  $t r 2$  の制御電極間の導電パスをもつ第7トランジスタ  $t r 7$  と、電源電圧  $V D D$  が供給される電源電極と第1トランジスタ  $t r 1$  の制御電極間の導電パスをもつ第8トランジスタ  $t r 8$  を有し、さらに第6トランジスタ  $t r 6$  と第2トランジスタ  $t r 2$  および第8トランジスタ  $t r 8$  との間の導電パスをもつ第15トランジスタ  $t r 15$  と、第7トランジスタ  $t r 7$  と第2トランジスタ  $t r 2$  および第8トランジスタ  $t r 8$  との間の導電パスをもつ第16トランジスタ  $t r 16$  を有する構成である。

#### 【0037】

具体的には、第6トランジスタ  $t r 6$  のドレインおよび制御電極が第2クロック端子  $C 2$  に接続され、ソースが第15トランジスタ  $t r 15$  のドレインに接続される。第15トランジスタ  $t r 15$  の制御電極にはシフト方向制御信号  $P$  が入力され、ソースは第2トランジスタ  $t r 2$  の制御電極に接続される。第7トランジスタ  $t r 7$  のドレインおよび制御電極は第3クロック端子  $C 3$  に接続され、ソースは第16トランジスタ  $t r 16$  のドレインに接続される。第16トランジスタ  $t r 16$  の制御電極にはシフト方向制御信号  $N$  が入力され、ソースは第2トラ

ンジスタ  $t r 2$  の制御電極に接続される。また、第 8 トランジスタ  $t r 8$  のドレインは第 17 トランジスタ  $t r 17$  を介して第 1 トランジスタ  $t r 1$  の制御電極に接続され、制御電極は第 2 トランジスタ  $t r 2$  の制御電極に接続され、ソースは電源電極にそれぞれ接続される。

#### 【0038】

リセット回路は、ノード  $n 2$  をローレベルにすることによって、第 2 トランジスタ  $t r 2$  と第 8 トランジスタ  $t r 8$  をオンし、第 8 トランジスタ  $t r 8$  がオンすることによって、ノード  $n 1$  がハイレベルとなり、第 1 トランジスタ  $t r 1$  をオフする。順方向パルスシフト時には、シフト方向制御信号  $P$  および  $N$  に従って第 15 トランジスタ  $t r 15$  をオンさせ第 16 トランジスタ  $t r 16$  をオフさせることによって、第 6 トランジスタ  $t r 6$  と第 2 トランジスタ  $t r 2$  の制御電極および第 8 トランジスタ  $t r 8$  の制御電極との間を導通させる。逆方向パルスシフト時には、第 16 トランジスタ  $t r 16$  をオンさせ第 15 トランジスタ  $t r 15$  をオフさせることによって、第 7 トランジスタ  $t r 7$  と第 2 トランジスタ  $t r 2$  の制御電極および第 8 トランジスタ  $t r 8$  の制御電極との間を導通させる。

#### 【0039】

反転防止回路は、電源電圧  $VDD$  が供給される電源電極と第 2 トランジスタ  $t r 2$  の制御電極間の導電パスと第 1 トランジスタ  $t r 1$  の制御電極への導電パスをもつ第 9 トランジスタ  $t r 9$  と、第 9 トランジスタ  $t r 9$  と第 2 トランジスタ  $t r 2$  間の導電パスと第 1 クロック端子  $C 1$  への導電パスをもつ第 10 トランジスタ  $t r 10$  を有する構成である。

#### 【0040】

具体的には、第 9 トランジスタ  $t r 9$  の制御電極が、第 17 トランジスタ  $t r 17$  を介して第 1 トランジスタ  $t r 1$  の制御電極に接続され、ソースが電源電極に接続される。第 10 トランジスタ  $t r 10$  の制御電極が、第 1 クロック端子  $C 1$  に接続され、ドレインが第 2 トランジスタ  $t r 2$  の制御電極に接続され、ソースが第 9 トランジスタ  $t r 9$  のドレインに接続される。

#### 【0041】

反転防止回路は、第 1 トランジスタ  $t r 1$  がオンで第 2 トランジスタ  $t r 2$  が

オフの状態において、第1クロック端子C1に入力されるクロック信号の電圧レベルがハイレベルからローレベルに反転する場合に、第2トランジスタ $t r 2$ の制御電極がフローティング状態だと第2トランジスタ $t r 2$ の制御電極における電圧レベルが反転してしまうので、このような電圧レベルの反転を防止する。ここで、フローティング状態とは、制御電極にハイレベルの電圧が供給されていないために制御電極の電位が変動しやすくなっている状態をいう。

#### 【0042】

次に、双方向シフトレジスタDSRの動作について図5および図6のタイミングチャートを用いて説明する前に、比較例の3位相シフトレジスタの構成と動作について説明する。

#### 【0043】

##### [比較例]

図7に示す比較例の3位相シフトレジスタも、垂直シフトレジスタ4又は水平シフトレジスタ6のうちの少なくとも一方に用いられる。ここでは、垂直シフトレジスタ4に用いた場合について説明する。

#### 【0044】

この3位相シフトレジスタは、電氣的に縦列接続された複数のシフトレジスタSR1、SR2、～SRn（以下「SR」と総称する）と、各シフトレジスタSRに対して位相が異なる3つのクロック信号CLK1、CLK2、CLK3のうちのいずれか2つを入力するクロック線と、各シフトレジスタSRからの出力信号を各走査線G出力する出力線を有する構成である。

#### 【0045】

シフトレジスタSR1、SR2、～SRnは、それぞれ第1ステージ、第2ステージ、～第nステージに対応する。各シフトレジスタSRは第1クロック端子C1、第2クロック端子C2を有する。例えばシフトレジスタSR1では、第1クロック端子C1にクロック信号CLK1が入力され、第2クロック端子C2にクロック信号CLK2が入力される。また、シフトレジスタSR1にはスタートパルスSTPが入力信号INとして入力され、第2～第nステージのシフトレジスタSRには前段のシフトレジスタからの出力信号OUTが入力信号INとして



入力される。

【0046】

図8に示すように、各シフトレジスタSRは、複数のトランジスタにより構成され、出力回路、入力回路、リセット回路、反転防止回路を有する構成である。一例としてトランジスタは全てPMOSトランジスタとする。

【0047】

出力回路は、第21トランジスタ $t_{r21}$ と第22トランジスタ $t_{r22}$ により構成される。入力回路は、第23トランジスタ $t_{r23}$ と第25トランジスタ $t_{r25}$ により構成される。リセット回路は、第26トランジスタ $t_{r26}$ と第28トランジスタ $t_{r28}$ により構成される。反転防止回路は、第29トランジスタ $t_{r29}$ と第30トランジスタ $t_{r30}$ により構成される。また、第23トランジスタ $t_{r23}$ と第21トランジスタ $t_{r21}$ の間にはオン状態の第37トランジスタ $t_{r37}$ が接続される。ここでは、第21トランジスタ $t_{r21}$ の制御電極への導電パスをノードn11、第22トランジスタ $t_{r22}$ の制御電極への導電パスをノードn12、第37トランジスタ $t_{r37}$ のソースへの導電パスをノードn13とする。

【0048】

次に、各シフトレジスタSRの動作についてシフトレジスタSR1を例に図9のタイミングチャートを用いて説明する。

【0049】

時刻 $t_1$ 以前では、スタートパルスSTPの電位がハイレベルであるため、第25トランジスタ $t_{r25}$ はオフ状態である。このため、第2クロック端子C2に入力されるクロック信号CLK2の電位がハイレベルかローレベルかに関係なく、ノードn12の電位はローレベルであり、第28トランジスタ $t_{r28}$ および第22トランジスタ $t_{r22}$ はオン状態である。

【0050】

また、スタートパルスSTPの電位がハイレベルであるため、第23トランジスタ $t_{r23}$ はオフ状態であり、第28トランジスタ $t_{r28}$ および第37トランジスタ $t_{r37}$ がオン状態であるので、ノードn13およびノードn11の電

位はハイレベルとなり、第21トランジスタ  $t r 21$  はオフ状態である。このように、第21トランジスタ  $t r 21$  がオフ状態で、第22トランジスタ  $t r 22$  がオン状態であるので、第1クロック端子  $C 1$  に入力される入力信号  $C L K 1$  の電位がハイレベルかローレベルかに関わらず、電源電圧  $V D D$  が第22トランジスタ  $t r 22$  を通じて出力信号  $O U T$  として出力される。

#### 【0051】

時刻  $t 1 \sim t 2$  の期間では、スタートパルス  $S T P$  の電位がローレベルとなり、クロック信号  $C L K 1$ 、 $C L K 2$  の電位はハイレベルを維持する。このため、第23トランジスタ  $t r 23$  および第25トランジスタ  $t r 25$  がオンする。第25トランジスタ  $t r 25$  を通じてノード  $n 12$  の電位がハイレベルになるので、第22トランジスタ  $t r 22$  および第28トランジスタ  $t r 28$  がオフする。また、第23トランジスタ  $t r 23$  を通じてノード  $n 13$  およびノード  $n 11$  の電位がローレベルとなるので、第21トランジスタ  $t r 21$  はオンする。このように、第21トランジスタ  $t r 21$  がオンし、第22トランジスタ  $t r 22$  がオフするので、第1クロック端子  $C 1$  に入力されるクロック信号  $C L K 1$  によるハイレベルの電位が第21トランジスタ  $t r 21$  を通じて出力信号  $O U T$  として出力される。

#### 【0052】

時刻  $t 2 \sim t 3$  の期間では、スタートパルス  $S T P$  の電位がハイレベルとなり、クロック信号  $C L K 1$ 、 $C L K 2$  の電位はハイレベルを維持する。このため、第23トランジスタ  $t r 23$  および第25トランジスタ  $t r 25$  がオフする。これによって、ノード  $n 11$  およびノード  $n 12$  はフローティング状態となり、ノード  $n 11$  はフローティング状態になる直前のローレベルの電位を維持し、ノード  $n 12$  はハイレベルの電位を維持する。よって、第21トランジスタ  $t r 21$  はオン状態、第22トランジスタ  $t r 22$  はオフ状態をそれぞれ維持し、クロック信号  $C L K 1$  によるハイレベルの電位が第21トランジスタ  $t r 21$  を通じて出力信号  $O U T$  として出力される。

#### 【0053】

時刻  $t 3 \sim t 4$  の期間では、クロック信号  $C L K 1$  の電位がローレベルとなり

、スタートパルス S T P およびクロック信号 C L K 2 の電位はハイレベルを維持する。クロック信号 C L K 1 の電位変動がフローティング状態にあるノード n 1 1 に伝えられ、ノード n 1 1 の電位は V S S よりもさらに低い電位へ引き下げられる。第 2 1 トランジスタ t r 2 1 はオン状態を維持するので、クロック信号 C L K 1 によるローレベルの電位が第 2 1 トランジスタ t r 2 1 を通じて出力信号 O U T として出力される。

#### 【0054】

このように出力信号 O U T がハイレベルからローレベルに反転すると、ハイレベルの電位でフローティング状態にあるノード n 1 2 がこの影響を受けてローレベルに反転してしまい、第 2 2 トランジスタ t r 2 2 がオンするという不具合が生じる。これを防止するため、反転防止回路では、ノード n 1 1 の電位がローレベルのときに第 2 9 トランジスタ t r 2 9 をオンし、クロック信号 C L K 1 の電位がローレベルのときに第 3 0 トランジスタ t r 3 0 がオンする。これにより、第 2 1 トランジスタ t r 2 1 がオン状態でクロック信号 C L K 1 の電位がハイレベルからローレベルに反転する場合に、第 2 9 トランジスタ t r 2 9 および第 3 0 トランジスタ t r 3 0 を通じて電源電圧 V D D をノード n 1 2 に供給し、ノード n 1 2 のフローティング状態を回避し、ノード n 1 2 の電位が反転することを防止する。

#### 【0055】

時刻 t 4 ~ t 5 の期間では、クロック信号 C L K 1 の電位はハイレベルになり、スタートパルス S T P およびクロック信号 C L K 2 の電位はハイレベルを維持する。このとき、フローティング状態にあるノード n 1 1 の電位はクロック信号 C L K 1 の影響を受けて通常のローレベルに引き戻される。第 2 1 トランジスタ t r 2 1 は依然としてオン状態であるので、クロック信号 C L K 1 によるハイレベルの電位が第 2 1 トランジスタ t r 2 1 を通じて出力信号 O U T として出力される。

#### 【0056】

時刻 t 5 ~ t 6 の期間では、クロック信号 C L K 2 の電位がローレベルになり、スタートパルス S T P およびクロック信号 C L K 1 の電位はハイレベルを維持

する。このとき、第26トランジスタ  $t r 26$  がオンし、ノード  $n 12$  の電位がクロック信号  $C L K 2$  の電位、すなわちローレベルとなる。

#### 【0057】

時刻  $t 6$  以降では、スタートパルス  $S T P$  の電位がローレベルにならない限り、ノード  $n 11$  はハイレベルの電位を維持し、ノード  $n 12$  はローレベルの電位を維持する。よって、電源電圧  $V D D$  が第22トランジスタ  $t r 22$  を通じて出力信号  $O U T$  として出力される。以上の動作にて、スタートパルス  $S T P$  の位相をシフトさせて出力信号  $O U T$  を出力するパルスシフトの動作が完了する。

#### 【0058】

続いて、各シフトレジスタ  $S R$  でパルスを伝播させる方向を逆にした場合について説明する。図10に示す3位相シフトレジスタは、スタートパルス  $S T P$  をシフトレジスタ  $S R n'$  から  $S R 1'$  へ伝播させる。各シフトレジスタ  $S R 1'$ 、 $S R 2'$ 、 $\sim S R n'$  の基本的な構成は、図7の各シフトレジスタ  $S R 1$ 、 $S R 2$ 、 $S R n$  と同様の構成である。また、各シフトレジスタ  $S R$  の接続構成やクロック信号  $C L K 1 \sim C L K 3$  の接続配線も図7の3位相シフトレジスタと同様である。シフトレジスタ  $S R n'$  を例に説明すると、クロック信号  $C L K 3$  が第1クロック端子  $C 1$  に入力され、クロック信号  $C L K 1$  が第2クロック端子  $C 2$  に入力される。

#### 【0059】

このような3位相シフトレジスタでパルスのシフト方向を逆にするためには、クロック信号  $C L K 1$  の波形とクロック信号  $C L K 3$  の波形を入れ替える必要がある。シフトレジスタ  $S R n'$  を例にしたときのタイミングチャートを図11に示す。図11では、図9のクロック信号  $C L K 1$  とクロック信号  $C L K 3$  の波形が入れ替わっている。

#### 【0060】

この場合、時刻  $t 1 \sim t 2$  の期間で、スタートパルス  $S T P$  と第2クロック端子  $C 2$  に入力されるクロック信号  $C L K 1$  が共にローレベルとなる。これによって、第25トランジスタ  $t r 25$  と第26トランジスタ  $t r 26$  が同時にオンし、両トランジスタ間で貫通して電流が流れてしまう（以下、この電流のことを「

貫通電流」とよぶ)。これによって、ノード  $n12$  の電位は、電源電圧  $VDD$  まで十分に上昇しなくなる。このため、第 28 トランジスタ  $t r 28$  は完全なオフ状態にならず、第 28 トランジスタ  $t r 28$  を通じて電源電圧  $VDD$  が供給されて、ノード  $n11$  の電位もローレベルまで十分に下がらないこととなる。

#### 【0061】

時刻  $t3 \sim t4$  の期間で、第 1 クロック端子  $C1$  に入力されるクロック信号  $CLK3$  がローレベルになると、ノード  $n11$  の電位はこの影響を受けて引き下げられるが、第 21 トランジスタ  $t r 21$  を十分にオンさせるほどのレベルには達しない。このように、ノード  $n12$  の電位がハイレベルまで十分に高くないため、第 22 トランジスタ  $t r 22$  は完全なオフ状態とならず、ノード  $n11$  の電位が第 21 トランジスタ  $t r 21$  を十分オンさせるほどに低くないため、第 21 トランジスタ  $t r 21$  は完全なオン状態とならない。このため、シフトレジスタ  $SRn'$  からの出力信号のレベルは、順方向駆動時の出力信号のレベルに比べて高いレベルとなってしまう。

#### 【0062】

このような順方向パルスシフト時と逆方向パルスシフト時とで出力信号の電位レベルにバラツキがあることは、表示品位の劣化に繋がる。また、逆方向駆動時に流れる貫通電流は消費電力の増大を招く要因となる。

#### 【0063】

##### [実施例]

本実施の形態の双方向シフトレジスタ  $DSR$  は、このような比較例のシフトレジスタにおける問題点を改善するものである。以下、各双方向シフトレジスタの動作について図 4 の回路図、図 5 および図 6 のタイミングチャートを用いて説明する。ここでは、第 1 トランジスタ  $t r 1$  の制御電極への導電パスをノード  $n1$ 、第 2 トランジスタ  $t r 2$  の制御電極への導電パスをノード  $n2$ 、第 17 トランジスタ  $t r 17$  のソースへの導電パスをノード  $n3$  とする。

#### 【0064】

なお、双方向シフトレジスタ  $DSR$  の第 1 トランジスタ  $t r 1$ 、第 2 トランジスタ  $t r 2$ 、第 3 トランジスタ  $t r 3$ 、第 5 トランジスタ  $t r 5$ 、第 6 トランジ

スタ t r 6、第 8 トランジスタ t r 8、第 9 トランジスタ t r 9、第 10 トランジスタ t r 10 は、シフトレジスタ S R の第 21 トランジスタ t r 21、第 22 トランジスタ t r 22、第 23 トランジスタ t r 23、第 25 トランジスタ t r 25、第 26 トランジスタ t r 26、第 28 トランジスタ t r 28、第 29 トランジスタ t r 29、第 30 トランジスタ t r 30 にそれぞれ相当し、同様の機能を備えるものである。

#### 【0065】

順方向にパルス进行シフトする場合について、双方向シフトレジスタ D S R 1 を例に説明する。シフト方向制御信号 P にはローレベルの電位が、シフト方向制御信号 N にはハイレベルの電位が供給される。これによって、双方向シフトレジスタ D S R 1 の第 11 トランジスタ t r 11、第 13 トランジスタ t r 13、第 15 トランジスタ t r 15 はオン状態となり、一方、第 12 トランジスタ t r 12、第 14 トランジスタ t r 14、第 16 トランジスタ t r 16 はオフ状態となる。

#### 【0066】

図 5 に示すように、スタートパルス S T P とクロック信号 C L K 3 には、それぞれの電位が同時にローレベルとなる期間が存在する。この期間では、スタートパルス S T P は、順方向パルス入力端子 I N P から入力され、第 13 トランジスタ t r 13 を介して第 5 トランジスタ t r 5 の制御電極に供給され、第 5 トランジスタ t r 5 がオンする。クロック信号 C L K 3 は第 3 クロック端子 C 3 から入力され、第 7 トランジスタ t r 7 がオンする。比較例のシフトレジスタ S R であれば、第 25 トランジスタ t r 25 と第 26 トランジスタ t r 26 の双方がオンしたときには、両トランジスタ間に貫通電流が流れることとなる。これに対し、双方向シフトトランジスタ D S R 1 では、第 5 トランジスタ t r 5 と第 7 トランジスタ t r 7 の間に配置された第 16 トランジスタ t r 16 がオフ状態にあるので、第 5 トランジスタ t r 5 と第 7 トランジスタ t r 7 間に貫通電流が流れることが防止される。

#### 【0067】

逆方向にパルス进行シフトする場合について、双方向シフトレジスタ D S R n を

例に説明する。シフト方向制御信号Pにはハイレベルの電位が、シフト方向制御信号Nにはローレベルの電位が供給される。これによって、第11トランジスタ  $t r 11$ 、第13トランジスタ  $t r 13$ 、第15トランジスタ  $t r 15$  はオフ状態となり、一方、第12トランジスタ  $t r 12$ 、第14トランジスタ  $t r 14$ 、第16トランジスタ  $t r 16$  はオン状態となる。

#### 【0068】

クロック信号CLK1の波形とクロック信号CLK3の波形を入れ替えると、図6に示すように、スタートパルスSTPとクロック信号CLK1には、同時に電位がローレベルとなる期間が存在する。この期間では、スタートパルスSTPは双方向シフトレジスタDSRnの逆方向パルス入力端子INNから入力され、第14トランジスタ  $t r 14$  を介して第5トランジスタ  $t r 5$  の制御電極に供給され、第5トランジスタ  $t r 5$  がオンする。クロック信号CLK1は第2クロック端子C2から入力され、第6トランジスタ  $t r 6$  がオンする。第5トランジスタ  $t r 5$  と第6トランジスタ  $t r 6$  がともにオン状態となるが、第5トランジスタ  $t r 5$  と第6トランジスタ  $t r 6$  の間に配置された第15トランジスタ  $t r 15$  がオフ状態にあるので、第5トランジスタ  $t r 5$  と第6トランジスタ  $t r 6$  の間に貫通電流が流れることが防止される。

#### 【0069】

このように、本実施の形態では、順方向パルスシフト時には、入力回路の第11トランジスタ  $t r 11$  をオンすることによって第3トランジスタ  $t r 3$  と第1トランジスタ  $t r 1$  間を導通させる。また、入力回路の第13トランジスタ  $t r 13$  をオンすることによって順方向パルス入力端子INPと第5トランジスタ  $t r 5$  間を導通させる。また、リセット回路の第15トランジスタ  $t r 15$  をオンすることによって第6トランジスタ  $t r 6$  と第2トランジスタ  $t r 2$  間を導通させる。そして、第16トランジスタ  $t r 16$  をオフすることによって、第5トランジスタ  $t r 5$  と第7トランジスタ  $t r 7$  間に貫通電流が流れることが防止されるので、消費電力の増大を抑制することができる。

#### 【0070】

逆方向パルスシフト時には、入力回路の第12トランジスタ  $t r 12$  をオンす

ることによって第4トランジスタ  $t r 4$  と第1トランジスタ  $t r 1$  間を導通させる。また、入力回路の第14トランジスタ  $t r 14$  をオンすることによって逆方向パルス入力端子  $I N N$  と第5トランジスタ  $t r 5$  間を導通させる。また、リセット回路の第16トランジスタ  $t r 16$  をオンすることによって第7トランジスタ  $t r 7$  と第2トランジスタ  $t r 2$  間を導通させる。そして、第15トランジスタ  $t r 15$  をオフすることによって、第5トランジスタ  $t r 5$  と第6トランジスタ  $t r 6$  間に貫通電流が流れることが防止されるので、消費電力の増大を抑制することができる。

#### 【0071】

また、貫通電流を防止することによって、ノード  $n 2$  の電位が電源電圧  $V D D$  まで十分に上昇するようになるので、第8トランジスタ  $t r 8$  と第2トランジスタ  $t r 2$  は完全なオフ状態となる。第8トランジスタ  $t r 8$  が完全なオフ状態となることによって、ノード  $n 1$  には入力信号のローレベルが十分に伝えられるので第1トランジスタ  $t r 1$  も完全なオン状態となる。第1トランジスタ  $t r 1$  と第2トランジスタ  $t r 2$  のうち、どちらか一方がオンのときには、他方が完全にオフすることによって、両方同時にオンすることがないので、出力信号の電位レベルを安定させることができる。

#### 【0072】

このように、順方向パルスシフト時と逆方向パルスシフト時とで双方向シフトレジスタ  $D S R$  の出力信号のバラツキが生じることを防止することができ、高品質の表示が可能な平面表示装置を提供することができる。

#### 【0073】

##### 【発明の効果】

以上、説明したように、本発明の双方向シフトレジスタによれば、順方向パルスシフト時と逆方向パルスシフト時とで出力信号のバラツキが生じることを防止することができる。

#### 【0074】

また、本発明の駆動回路、平面表示装置によれば、高品質な表示を可能とすることができる。



**【図面の簡単な説明】****【図 1】**

一実施の形態における平面表示装置の概略的な構成を示す回路図である。

**【図 2】**

上記平面表示装置の構成を示す断面図である。

**【図 3】**

上記平面表示装置における 3 位相双方向シフトレジスタの構成を示すブロック図である。

**【図 4】**

上記 3 位相双方向シフトレジスタを構成する複数の双方向シフトレジスタのうちの 1 つの構成を示す回路図である。

**【図 5】**

順方向パルスシフト時における上記双方向シフトレジスタの動作の一例を示すタイミングチャートである。

**【図 6】**

逆方向パルスシフト時における上記双方向シフトレジスタの動作の一例を示すタイミングチャートである。

**【図 7】**

順方向パルスシフト時における比較例の 3 位相シフトレジスタの構成を示すブロック図である。

**【図 8】**

比較例の 3 位相シフトレジスタを構成する複数のシフトレジスタのうちの 1 つの構成を示す回路図である。

**【図 9】**

順方向パルスシフト時における比較例のシフトレジスタの動作の一例を示すタイミングチャートである。

**【図 10】**

逆方向パルスシフト時における比較例の 3 位相シフトレジスタの構成を示すブロック図である。

## 【図 11】

逆方向パルスシフト時における比較例のシフトレジスタの動作の一例を示すタイミングチャートである。

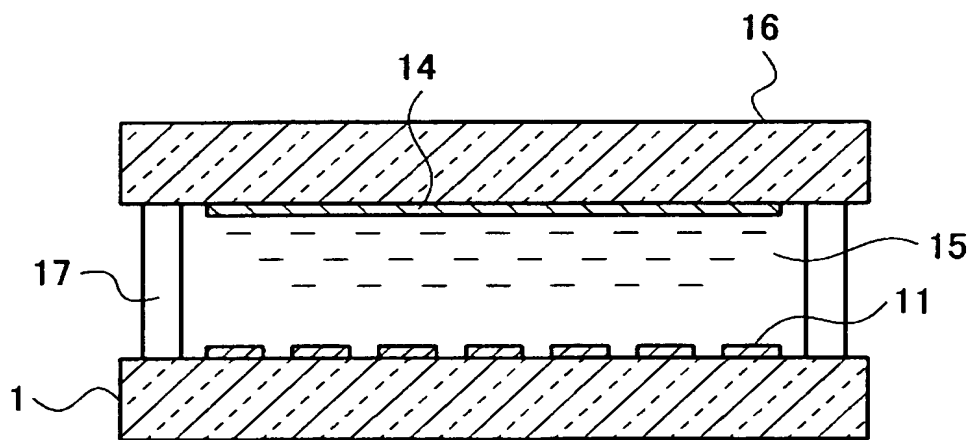
## 【符号の説明】

- 1…アレイ基板
- 2…走査線駆動回路
- 3…信号線駆動回路
- 4…垂直シフトレジスタ
- 5…レベルシフタ
- 6…水平シフトレジスタ
- 10…スイッチング素子
- 11…画素電極
- 14…対向電極
- 15…液晶層
- 16…対向基板
- 17…シール材
- 20…映像信号バス
- G…走査線
- S…信号線
- C1…第1クロック端子
- C2…第2クロック端子
- C3…第3クロック端子
- Cs…補助容量
- D1…順方向制御端子
- D2…逆方向制御端子
- DSR…双方向シフトレジスタ
- SR…シフトレジスタ
- SW…アナログスイッチ
- INN…逆方向パルス入力端子

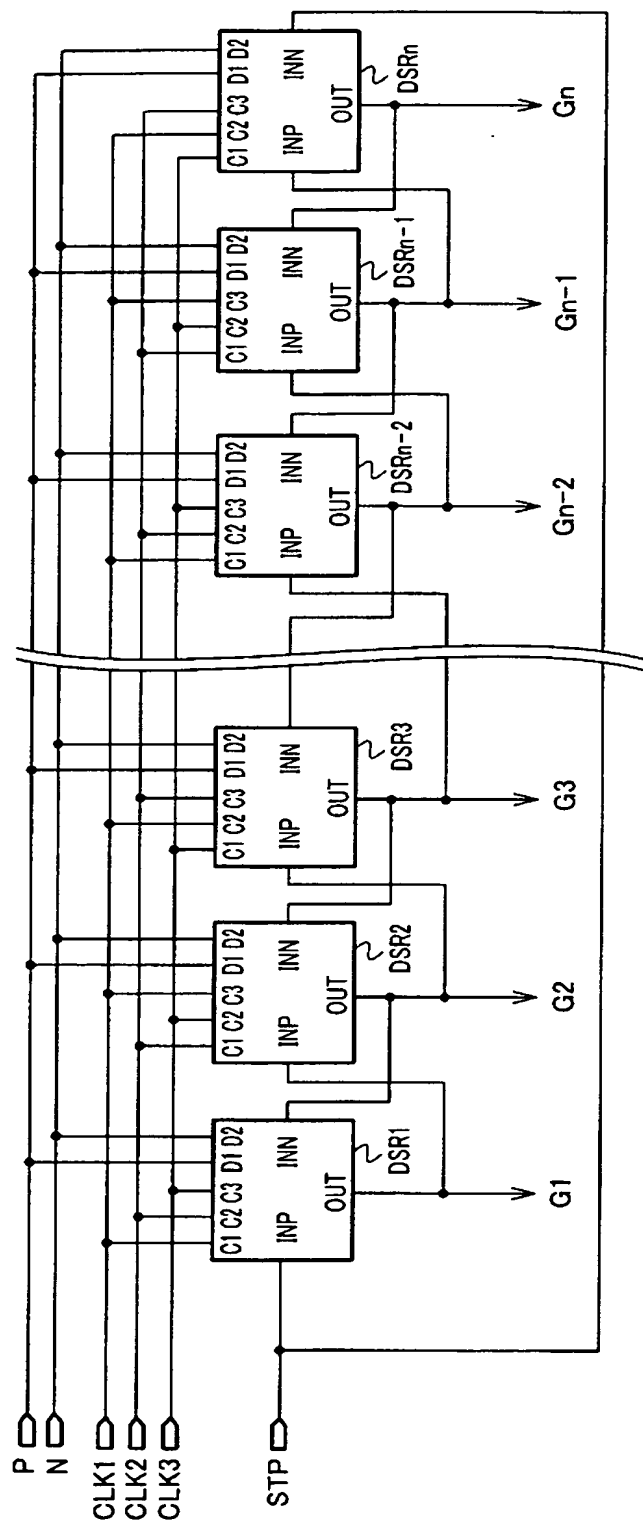
INP...順方向パルス入力端子



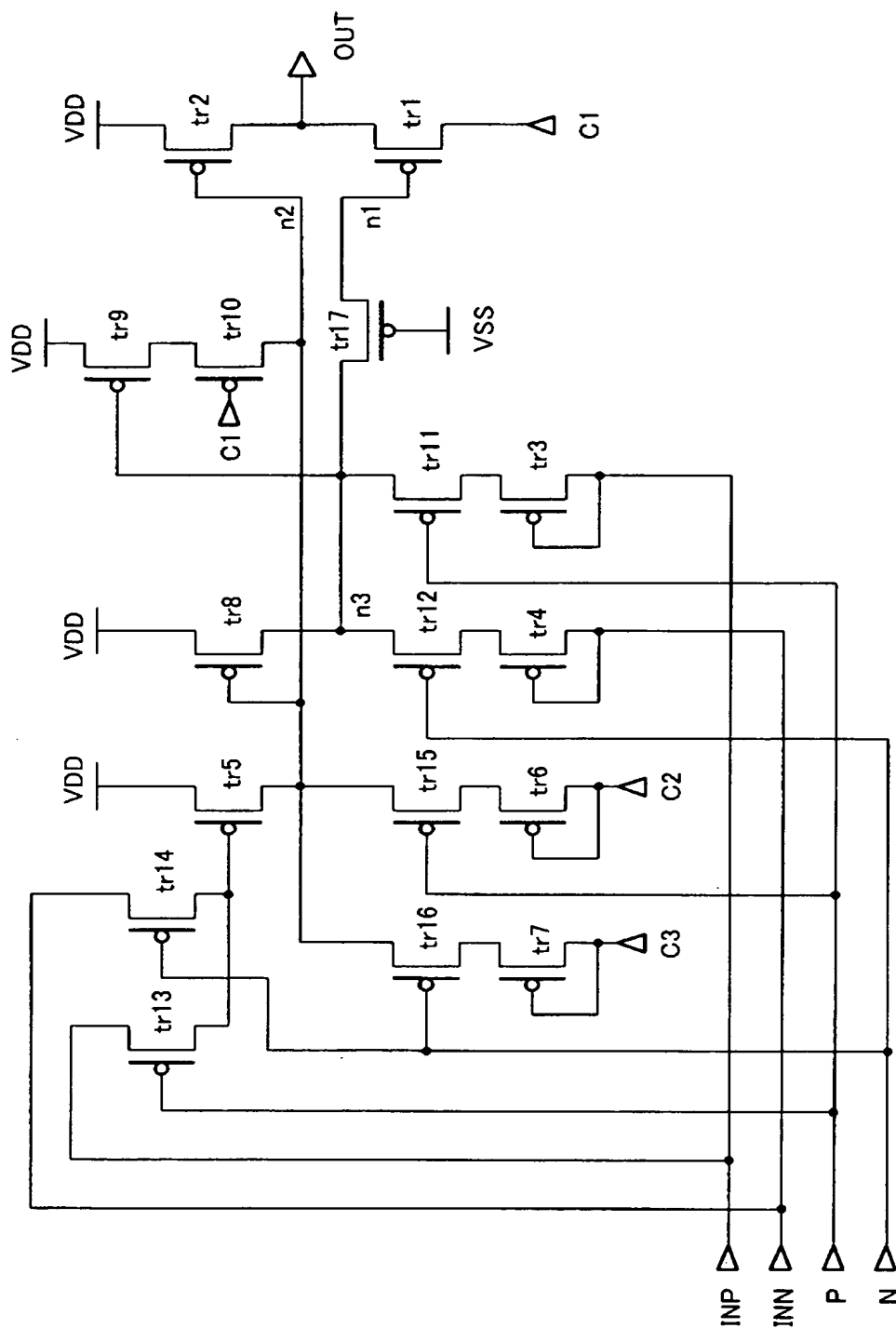
【図 2】



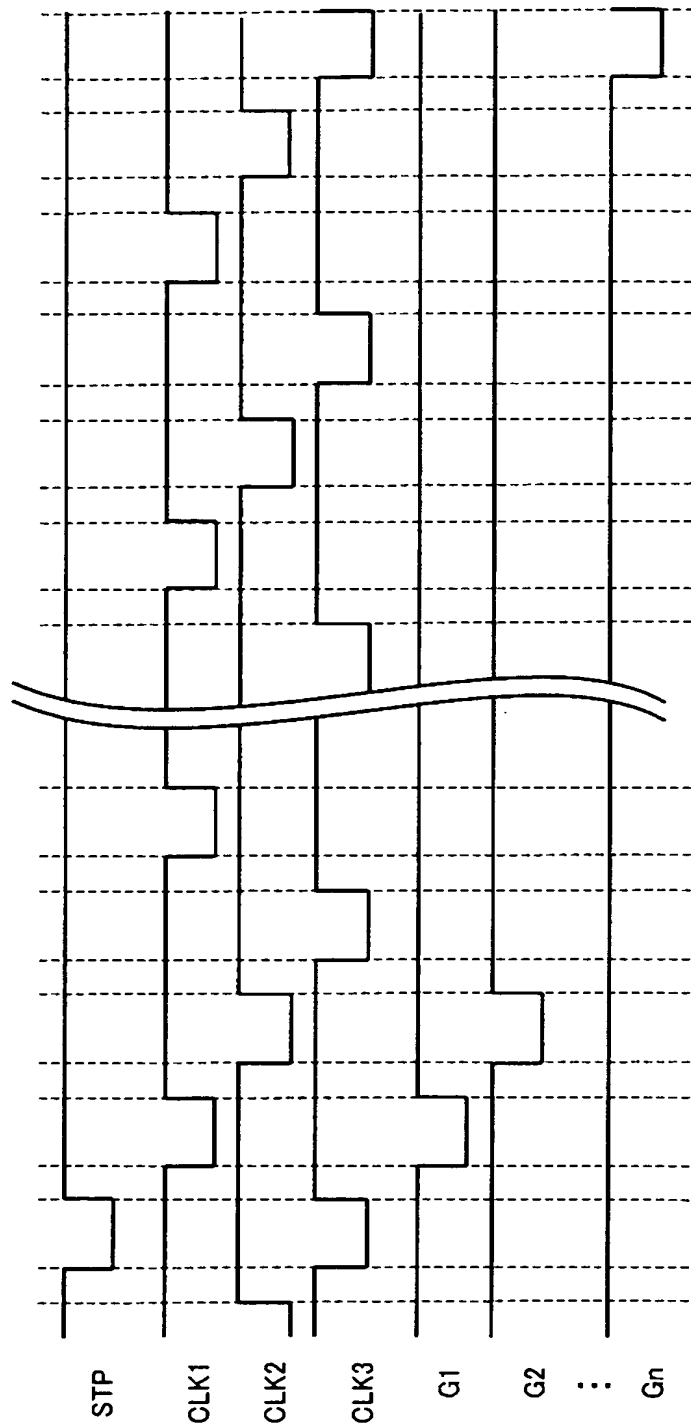
【図 3】



【図 4】

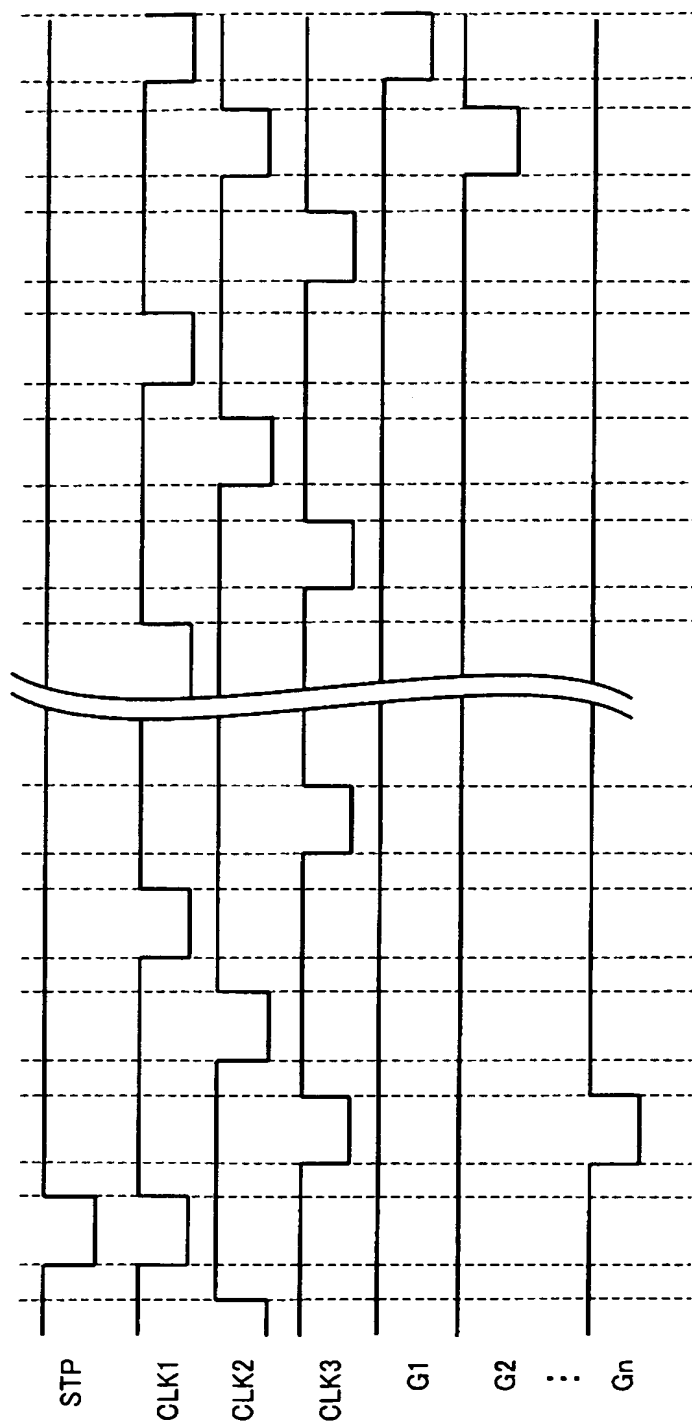


【図 5】

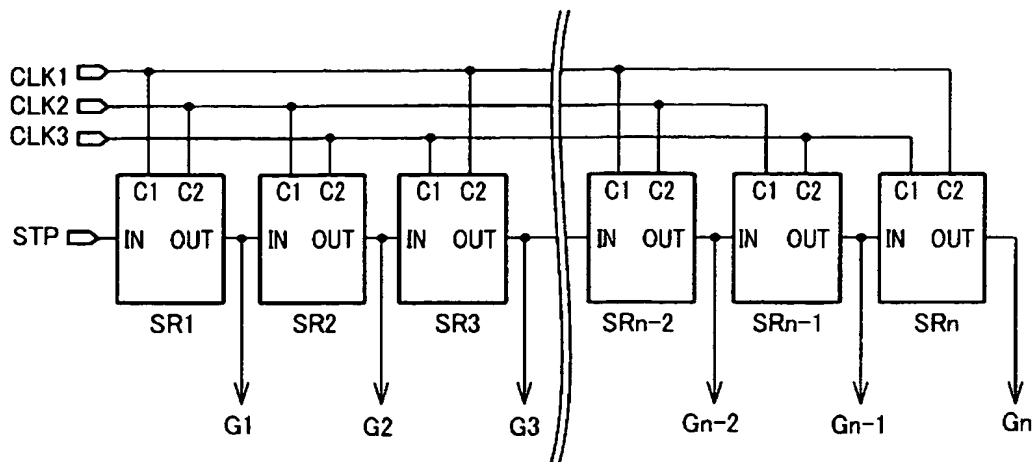




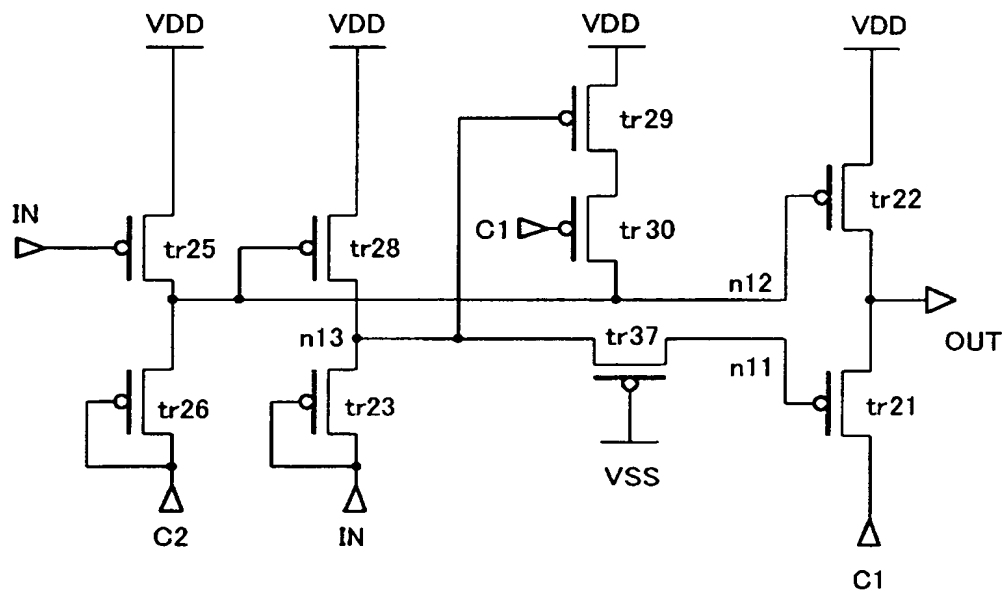
【図 6】



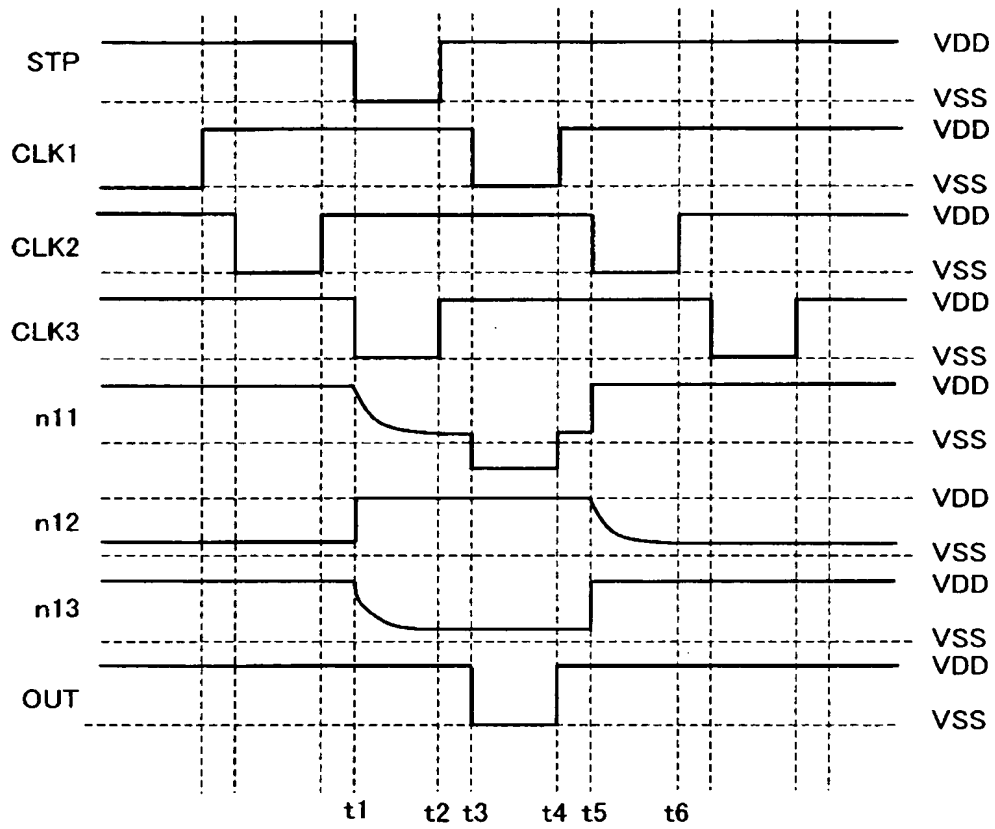
【図 7】



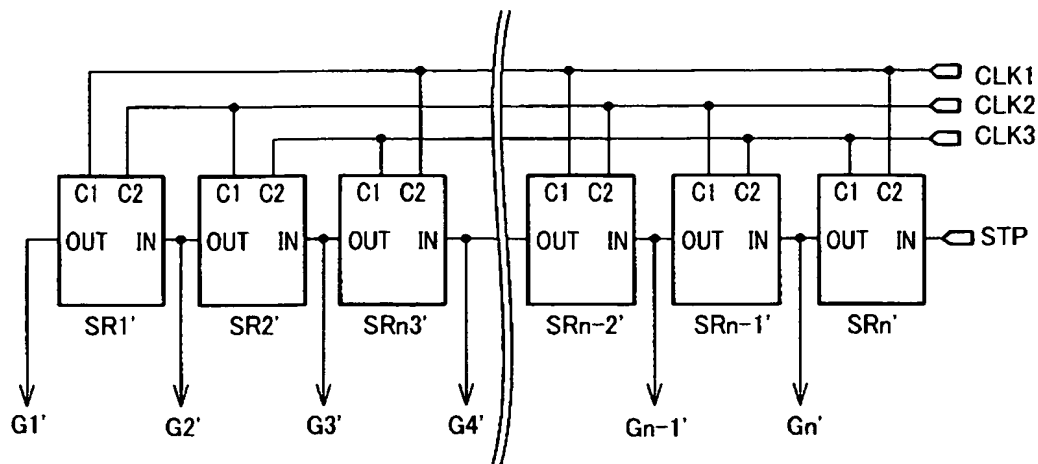
【図 8】



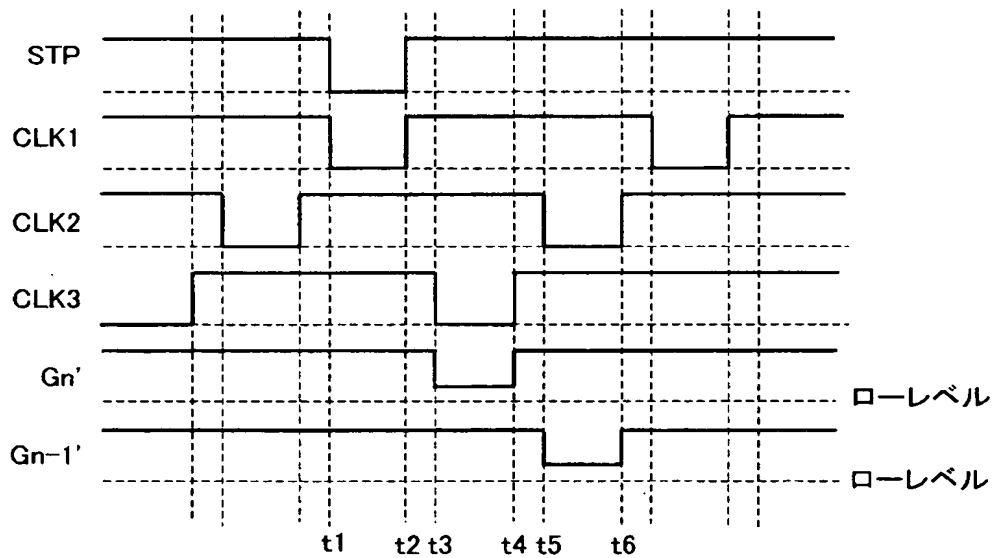
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 順方向パルスシフト時と逆方向パルスシフト時とでシフトレジスタの出力信号にバラツキが生じることを防止する。

【解決手段】 順方向パルスシフト時には、第16トランジスタ  $t r 16$  をオフすることによって、第5トランジスタ  $t r 5$  と第7トランジスタ  $t r 7$  間に貫通電流が流れることを防止する。逆方向パルスシフト時には、第15トランジスタ  $t r 15$  をオフすることによって、第5トランジスタ  $t r 5$  と第6トランジスタ  $t r 6$  間に貫通電流が流れることを防止する。

【選択図】 図4

特願 2 0 0 2 - 3 4 8 8 3 1

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 2 0 2 0 7 ]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社